

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-168542

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66
H04N 9/30

(21)Application number : 06-214232

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 15.08.1994

(72)Inventor : YOSHINO KEN
TAKEUCHI MAKOTO

(30)Priority

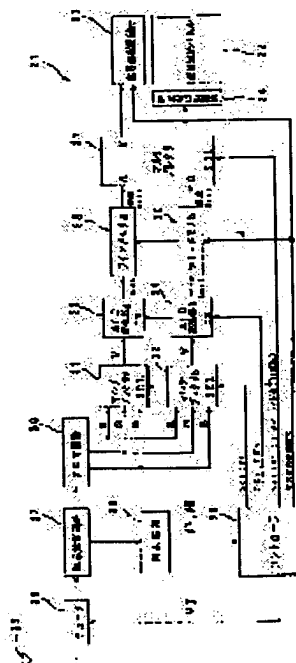
Priority number : 05285870 Priority date : 20.10.1993 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obtain a satisfactory horizontal resolution at the time of full line-driving a liquid crystal panel in which pixels are delta arranged.

CONSTITUTION: A color video signal received by a video receiving circuit 27 via an antenna 25 and a tuner 26 is separated into respective chrominance video signals by a chroma key circuit 30 to be inputted selectively to an A/D converter (a) 33 and an A/D converter (b)34 with multiplexers 31, 32 to be sampled with timings corresponding to pixel positions of respective horizontal scanning lines to be pair line-driven. Respective outputs of A/D converters 33, 34 are stored in a line memory (a) 35 and a line memory (b) 36 respectively. Outputs of line memories 35, 36 are constituted so as to drive a liquid crystal display panel 22 by being outputted while being switched in exact timing with scanning timings by a multiplexer 37 to a signal side driving circuit 23. Thus, the degradation of the horizontal resolution is prevented.



LEGAL STATUS

[Date of request for examination] 23.05.2001

[Date of sending the examiner's decision of rejection] 06.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-168542

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 1 0			
H 0 4 N 5/66	1 0 2 B			
9/30				

審査請求 未請求 請求項の数 4 F D (全 15 頁)

(21) 出願番号 特願平6-214232

(22) 出願日 平成6年(1994)8月15日

(31) 優先権主張番号 特願平5-285870

(32) 優先日 平5(1993)10月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 吉野 研

東京都東大和市桜が丘2-229 カシオ計
算機株式会社東京事業所内

(72) 発明者 竹内 誠

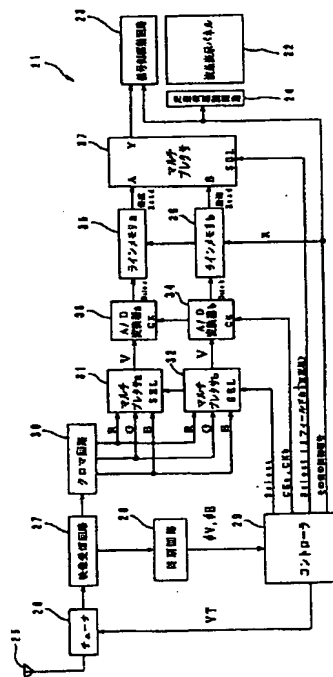
東京都東大和市桜が丘2-229 カシオ計
算機株式会社東京事業所内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 画素がデルタ配列された液晶表示パネルをフルライン駆動する際に、良好な水平解像度が得られるようにする。

【構成】 アンテナ25、チューナ26を介して映像受信回路27で受信されたカラー映像信号は、クロマ回路30で各色映像信号に分離され、マルチプレクサ31、32で選択的にA/D変換器a33、A/D変換器b34に入力されて、ペアライン駆動する各水平走査線の画素位置に応じたタイミングでサンプリングされる。A/D変換器33、34のそれぞれの出力は、ラインメモリa35、ラインメモリb36にそれぞれ記憶される。ラインメモリ35、36の出力は、マルチプレクサ37で走査タイミングに合わせて切り換えながら信号側駆動回路23に出力して、液晶表示パネル22を駆動するように構成される。これにより、水平解像度の劣化が防止される。



1

【特許請求の範囲】

【請求項 1】複数の信号電極と複数の走査電極とで構成される画素がデルタ状に配列された液晶表示パネルの隣接する複数の走査電極を同一の映像信号を用いて駆動する液晶表示装置であって、

同一の映像信号から各走査電極毎の画素位置に相当する表示信号を取り出す信号取出手段と、
該信号取出手段で取り出された表示信号を選択的に出力して前記液晶表示パネルを駆動する駆動手段と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】前記信号取出手段が、
入力される映像信号を各走査電極毎の画素位置に合わせてサンプリングを行う A/D 変換回路と、
画素位置の異なる走査電極毎にサンプリングを行ったサンプリングデータをそれぞれ保持する複数のメモリと、
各メモリからデータを読み出すデータ読出回路と、
で構成され、

前記駆動手段が、
各メモリから読み出されたデータを走査タイミングに合わせて切り換えるデータ切換回路と、
で構成されたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】前記データ読出回路が、
メモリへのデータ書き込み速度の整数倍の速度で読み出すことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】複数の走査線と複数の信号線とが格子状に配され、該走査線と信号線の各交点に液晶を介して共通電極と対向配置されて液晶容量を構成する画素電極と、
該画素電極に前記信号線から供給される表示信号の書き込みタイミングを制御するスイッチング素子とが配置されて画素を構成し、該画素がデルタ状に配列されるとともに、同一の映像信号を用いて隣接する複数の走査線に接続された画素を駆動する液晶表示装置であって、
前記同一の映像信号をデジタルデータに変換する A/D 変換回路と、
デジタルデータに変換された映像信号を少なくとも 1 ライン分記憶する映像信号記憶回路と、
該映像信号記憶回路への映像信号の書き込み速度の整数倍の速度で映像信号を読み出す映像信号読出回路と、
該読み出された映像信号をアナログデータに変換する D/A 変換回路と、
アナログデータに変換された映像信号を同一の映像信号を用いて駆動する各走査線に接続された画素の水平位置に応じてサンプリングするサンプリングタイミング調整回路と、
同一の映像信号を用いて駆動する複数の走査線を前記映像信号読出回路における読み出し速度の倍数の逆数の走査時間で各走査線を走査する走査側駆動回路と、
を備え、
同一の映像信号を用いて駆動する複数の走査線の各画素

2

位置に応じたサンプリングデータを前記整数分の 1 の走査時間で各走査線を走査することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デルタ配列された液晶パネルの画素をフルライン駆動して画像表示する液晶表示装置に関するものである。

【0002】

10 【従来の技術】従来の液晶表示装置、例えば、TFT (thin film transistor) 方式の液晶表示パネル 1 は、一般に、図 10 に示すように、一対のガラス基板 2 a、2 b の間に液晶 3 が封入されて、一方のガラス基板 2 a の外面に偏光板 4 が取り付けられている。

【0003】また、ガラス基板 2 a の内面には、R (Red)、G (Green)、B (Blue) のカラーフィルタ 5 が貼り付けられており、このカラーフィルタ 5 の内面に共通電極 6 が形成されている。

20 【0004】他方のガラス基板 2 b の内面には、複数の走査線 Y1、Y2、Y3、……、Ym (図 10 では、簡単のため、Y1～Y3 のみ表示する。) と、複数の信号線 X1、X2、X3、……、Xn (図 10 では、簡単のため、X1～X3 のみ表示する。) とがマトリクス状に形成され、これら複数の走査線と信号線との各交点に TFT で形成されたスイッチング素子 TRmn と画素電極 TCmn とが形成されている。

【0005】水平走査時には、所定の走査線に走査信号を印加することにより、当該走査線上のスイッチング素子 TRmn を選択状態にして、信号線から印加される表示信号を各画素毎の液晶容量に書き込むことにより液晶を駆動させている。

【0006】そして、他方のガラス基板 2 b の外面には、偏光板 7 が取り付けられており、この偏光板 7 の外方から図示しないバックライトの白色光が照射されると、液晶を駆動させて配向制御を行なった各画素毎に光の透過状態が変化し、それぞれの画素の透過光が上記カラーフィルタ 5 を透過して所定の色に着色され、ガラス基板 2 a から外方へ出射して、カラー画像を表示する。

30 【0007】このように、図 10 に示した液晶表示パネル 1 は、図 11 に模式的に示すように、複数の走査線 Y1、Y2、Y3、Y4、……、Ym と、複数の信号線 X1、X2、X3、X4、……、Xn との各交点にスイッチング素子 TRmn を介して R、G、B の画素 B11、R12、G13、……を構成する画素電極 TCmn に接続されている。

【0008】そして、これら R、G、B の各画素電極は、R、G、B の色混じりを良好にするため、上下に隣接するラインの画素位置を 1.5 画素分ずらしてデルタ (Δ) 状に配列することが行なわれている。

50 【0009】このような液晶表示パネル 1 は、走査線 Y

3

1、Y2、Y3、Y4、……、Ymに図示しない走査側駆動回路が接続され、信号線X1、X2、X3、X4、……、Xnに図示しない信号側駆動回路が接続されている。

【0010】走査側駆動回路は、各走査線Y1、Y2、Y3、Y4、……、Ymに走査駆動信号を順次供給して各走査線を走査駆動し、所定の走査線を選択状態とする。信号側駆動回路は、入力される映像信号を所定周期のシフトクロックに同期してラッチして、データ駆動信号として信号線X1、X2、X3、X4、……、Xnに供給することにより、そのとき選択走査されている走査線と信号線との交点にある画素を表示駆動する。

【0011】そこで、入力される映像信号に対して忠実にインターレース駆動を行なうと、図12に示すように、1走査線おきに走査駆動信号を出力して走査することとなり、また、液晶は交流駆動させることが原則であるので、共通電極6に印加するコモン電圧Vcomとビデオ信号に対しても、図12に示すような関係となる。

【0012】すなわち、1つの走査駆動信号の画素に注目すると、1フィールドおきにコモン電圧Vcomとビデオ信号の極性が反転する関係で駆動されることとなり、この正・負の反転駆動を1回ずつ行って1周期としてとらえると、1周期に4フィールド行うことから、テレビ映像信号の場合は、1フィールドが15Hzとなる。

【0013】このように液晶表示パネル1を1フィールド、15Hzで表示駆動すると、フリッカが発生し、液晶表示パネル1の表示品質が劣化する。そこで、従来から、図13に示すように、走査線Y1、Y2、Y3、Y4、……、Ymのうち走査駆動信号を2本ずつ同時に印加して順次走査し、同時に走査駆動する走査線Y1、Y2、Y3、Y4、……、Ymの組合せを奇数フィールドと偶数フィールドで異ならせる、いわゆるベアライン駆動を行っている。

【0014】このようなベアライン駆動を行うと、例えば、信号線X1、X2、X3、X4、……、Xnと走査線Y1、Y2、Y3、Y4、……、Ymとの各交点の画素データが、図14の数値で示すような階調データである場合、奇数フィールドにおいては、図15に線で結んだ走査線Y1と走査線Y2、走査線Y3と走査線Y4、……を同時に走査駆動する。また、偶数フィールドにおいては、図16に線で結んだ走査線Y2と走査線Y3、走査線Y4と走査線Y5、……を同時に走査駆動すると、図17に示すように、もとの画素データと同様の画素データが各画素に再現され、適切な表示を1走査線Y1、Y2、Y3、Y4、……、Ym毎にインターレースする場合の倍の周期、すなわち、30Hzで表示駆動することができ、フリッカの発生を適切に防止することができる。

【0015】なお、表示結果が元の輝度データと同じ輝度になるように、予めコモン電極に印加するコモン電圧

4

Vcom、あるいは輝度データを半分の値にしてあるので、図15から図17においては、1/2という表示で示している。また、従来のカラー液晶TVの画素配列には、図19に示すように、各画素が水平方向と垂直方向とに整列配置された①ストライプ配列、あるいは、図20に示すように、水平走査線の奇数行に対して偶数行の画素が1.5画素分ずらして配置された②デルタ(Δ)配列などが主に採用されている。

【0016】そして、上記①のストライプ配列は、表示画像中にストライプ構造が目立つという理由から、最近では②のデルタ配列を用いたカラー液晶表示パネルが多くなっている。

【0017】また、現在、日本国内のTV (Television) の放送規格であるNTSC (National TV System Committee) 方式では、奇偶2フィールドで1画面(1フレーム)が構成され、1フレームの走査線数は525本である。一方、液晶表示パネルの水平走査線数は、220~240本であって、NTSC方式の有効走査線数の約半分にあたるため、小型の液晶パネルでは、1フィールドのテレビ信号のみで1フレームを構成するハーフライン駆動が行われている。

【0018】ところが、大画面化された液晶表示パネルや投影型液晶表示パネルでは、ハーフライン駆動を行うと画質の劣化が目立つため、インターレース信号(例えば、NTSC信号)をフルライン駆動(水平走査線数が440~480本)させる必要があるが、その場合、何らかの走査線補間を行う必要があった。

【0019】そこで、液晶表示パネルをフルライン駆動する際の走査線補間を行う方法としては、例えば、2本ずつの走査線に同じ映像信号を与えて、各フィールド毎にその組合せを変えるベアライン駆動法がある。このベアライン駆動法は、メモリ等を利用せずに垂直解像度を向上させることができる。

【0020】

【発明が解決しようとする課題】すなわち、従来の液晶表示装置の液晶表示パネル1は、図11に示したように、同じ信号ラインX1、X2、X3、X4、……、Xnに接続されるR、G、Bの各画素が1.5画素ずつずれた位置に配列されており、この液晶表示パネル1を使用してベアライン駆動すると、これらの1.5画素ずつずれた位置に配列されたR、G、Bの各画素が1.5画素ずれた位置で同時に同じ映像信号で駆動されることになる。

【0021】例えば、図18に一点鎖線で示す位置から左側が黒のデータ、右側が白のデータが入力されると、走査ラインY1と走査ラインY2、走査ラインY3と走査ラインY4、……がベアで駆動される偶数フィールドのときは、信号ラインX3でラッチされたデータが画素G13と画素G23で同時に表示され、また、画素G33と画素G43で同時に表示される。また、走査ラ

5

イン Y 2 と走査ライン Y 3、走査ライン Y 4 と走査ライン Y 5、……がペアで駆動される奇数フィールドのときは、信号ライン X 3 でラッチされたデータが画素 G 2 3 と画素 G 3 3 で同時に表示され、また、画素 G 4 3 と図示しない画素 G 5 3 で同時に表示されることになる。

【0022】したがって、奇数フィールド時と偶数フィールド時とで、画素 G 1 3、画素 G 2 3、画素 G 3 3、画素 G 4 3、画素 G 5 3、……が黒領域と白領域の双方にまたがって表示されるため、信号ライン方向の線や絵のエッジがギザギザになったり、色ずれを起こすという問題があった。

【0023】また、図 19 に示すように、液晶表示パネルの画素配列に①のストライプ配列を用いてペアライン駆動する場合は問題ないが、画素配列が図 20 に示すように、②のデルタ配列の場合にペアライン駆動すると、水平解像度が低下するという問題がある。

【0024】図 21 は、従来のペアライン駆動を行う場合の駆動波形を示す図である。例えば、図 21 (a) に示すように、従来のペアライン駆動は、奇数フィールドで水平走査線 X 3 と X 4、X 5 と X 6、X 7 と X 8 に同じ表示信号を同一タイミングで加えて駆動している。

【0025】また、図 21 (b) の偶数フィールドでは水平走査線 X 4 と X 5、X 6 と X 7 に同じ表示信号を同一タイミングで加えて駆動している。すなわち、これを図 20 で見ると、デルタ配列の液晶表示パネルの水平走査線 X 1、X 2 をペアライン駆動する場合は、例えば、同じサンプリングタイミング t₄ でサンプリングした表示信号を使って X 2 の画素 (R*) と X 1 の画素 (R) を駆動するが、両画素はデルタ配列により水平方向に 1.5 画素分ずれているため、同じ表示信号で駆動させると、奇数行と偶数行とで絵がずれてしまい、水平解像度が低下したり、色ずれを起こしたように見えるという問題があった。

【0026】そこで、本発明は、上記課題に鑑みてなされたものであって、画素がデルタ配列された液晶表示パネルをフルライン駆動する際に、ギザギザや色ずれの無い、良好な水平解像度が得られる、高画質の液晶表示装置を提供することを目的としている。

【0027】

【課題を解決するための手段】請求項 1 記載の液晶表示装置は、複数の信号電極と複数の走査電極とで構成される画素がデルタ状に配列された液晶表示パネルの隣接する複数の走査電極を同一の映像信号を用いて駆動する液晶表示装置であって、同一の映像信号から各走査電極毎の画素位置に相当する表示信号を取り出す信号取出手段と、該信号取出手段で取り出された表示信号を選択的に出力して前記液晶表示パネルを駆動する駆動手段と、を備えたことにより上記目的を達成する。

【0028】請求項 2 記載の液晶表示装置は、前記信号取出手段が、入力される映像信号を各走査電極毎の画素

6

位置に合わせてサンプリングを行う A/D 変換回路と、画素位置の異なる走査電極毎にサンプリングを行ったサンプリングデータをそれぞれ保持する複数のメモリと、各メモリからデータを読み出すデータ読出回路と、で構成され、前記駆動手段が、各メモリから読み出されたデータを走査タイミングに合わせて切り換えるデータ切換回路と、で構成されたことにより上記目的を達成する。

【0029】また、請求項 3 記載の液晶表示装置は、前記データ読出回路が、メモリへのデータ書き込み速度の整数倍の速度で読み出すようにしてもよい。さらに、請求項 4 記載の液晶表示装置は、複数の走査線と複数の信号線とが格子状に配され、該走査線と信号線の各交点に液晶を介して共通電極と対向配置されて液晶容量を構成する画素電極と、該画素電極に前記信号線から供給される表示信号の書き込みタイミングを制御するスイッチング素子とが配置されて画素を構成し、該画素がデルタ状に配列されるとともに、同一の映像信号を用いて隣接する複数の走査線に接続された画素を駆動する液晶表示装置であって、前記同一の映像信号をデジタルデータに変換する A/D 変換回路と、デジタルデータに変換された映像信号を少なくとも 1 ライン分記憶する映像信号記憶回路と、該映像信号記憶回路への映像信号の書き込み速度の整数倍の速度で映像信号を読み出す映像信号読出回路と、該読み出された映像信号をアナログデータに変換する D/A 変換回路と、アナログデータに変換された映像信号を同一の映像信号を用いて駆動する各走査線に接続された画素の水平位置に応じてサンプリングするサンプリングタイミング調整回路と、同一の映像信号を用いて駆動する複数の走査線を前記映像信号読出回路における読み出し速度の倍数の逆数の走査時間で各走査線を走査する走査側駆動回路と、を備え、同一の映像信号を用いて駆動する複数の走査線の各画素位置に応じたサンプリングデータを前記整数分の 1 の走査時間で各走査線を走査することにより、上記目的を達成する。

【0030】

【作用】画素がデルタ状に配列された液晶表示装置では、インターレス信号を使ってフルライン駆動する際に、2 本ずつの走査線に同じ信号を与えて駆動するペアライン駆動を行うと、隣接する走査線の画素位置が一定画素分ずれていることから、水平解像度が劣化する。

【0031】そこで、本発明の液晶表示装置では、ペアライン駆動する画素位置がずれた 2 本の走査線の各画素位置に応じた表示信号を作成し、その表示信号を使って各走査線を走査するようにする。

【0032】従って、本発明では、デルタ配列された画素をフルライン駆動する際に、ペアライン駆動により走査線補間を行っても、画素位置のずれが目立たなくなり、水平解像度の向上した良好な画質が得られる。

【0033】また、画素がデルタ状に配列されたアクティブマトリクス型の液晶表示装置では、ペアライン駆動

7

を行なうと、隣接する走査線の画素位置が一定画素分ずれていることから、水平解像度が劣化する。

【0034】そこで、本発明では、映像信号をA/D変換してラインメモリに書き込み、倍速で読み出してD/A変換するとともに、同一の映像信号を用いて駆動する各走査線に接続された画素の水平位置に応じてサンプリングを行い、各走査線毎のサンプリングデータに基づいて液晶を走査駆動する。

【0035】従って、本発明では、ペアライン駆動する複数の走査線の画素位置のずれに応じて倍速で読み出した液晶駆動信号を使って液晶を駆動するため、画素位置のずれが目立たなくなり、水平解像度の向上した良好な画質が得られる。

【0036】

【実施例】以下、本発明を実施例に基づいて説明する。

図1～図9は、本発明の液晶駆動方法の実施例を説明する図である。まず、構成を説明する。図1は、第1実施例に係る液晶表示装置の液晶表示パネルとその周辺回路の構成を示す図である。ここでは、カラー液晶表示パネルとこれを駆動する周辺回路を例にあげて説明する。

【0037】図1における液晶表示装置21は、液晶表示パネル22と、その液晶パネル22の液晶を制御するマトリクス状に対向配置された信号電極を駆動する信号側駆動回路23と走査電極を駆動する走査側駆動回路24とを有する。

【0038】液晶表示パネル22の周辺回路としては、アンテナ25、チューナ26、映像受信回路27、同期回路28、コントローラ29、クロマ回路30、マルチプレクサa31、マルチプレクサb32、A/D変換器a33、A/D変換器b34、ラインメモリa35、ラインメモリb36、マルチプレクサ37から構成されている。

【0039】アンテナ25は、受信電波をチューナ26に供給し、チューナ26は、コントローラ29から入力されるチューニング制御信号VTに従って指定チャンネルを選択し、アンテナ25から供給される受信電波を中間周波信号に変換して映像受信回路27に出力する。

【0040】映像受信回路27は、中間周波増幅回路、映像検波回路、映像増幅回路等により構成され、チューナ26から入力される中間周波信号を映像検波回路により映像検波を行ってカラー映像信号を取り出し、このカラー映像信号の中から音声信号を取り出して図示しない音声回路に出力し、映像増幅回路によりカラー映像信号を増幅してクロマ回路30に出力する。

【0041】同期回路28は、映像受信回路27からのカラー映像信号の中から垂直同期信号φVと水平同期信号φHとを取り出してコントローラ29に出力する。クロマ回路30は、映像受信回路27から入力されるカラー映像信号からR、G、Bの各色映像信号を分離して、マルチプレクサa31とマルチプレクサb32にそれぞれ

8

れ出力する。

【0042】マルチプレクサa31、マルチプレクサb32は、コントローラ29からのSelect信号により色映像信号を選択的にA/D変換器a33とA/D変換器b34にそれぞれ出力する。

【0043】A/D変換器a33、A/D変換器b34では、マルチプレクサ31、32から入力される色映像信号を所定のビットでデジタル化した表示信号に変換する。色映像信号をデジタル化するに際して、コントローラ29は、A/D変換器a33とA/D変換器b34のそれぞれに、ペアライン駆動を行う各水平走査線の各画素位置に応じたタイミングから成るサンプリングクロックCKa、CKbを出力する。

【0044】図2は、A/D変換器33、34に出力するサンプリングクロックのタイミングとそのクロックパルス及びサンプリングデータを示すタイミングチャートである。

【0045】第1実施例における液晶表示パネルは、画素がデルタ配列されていることから、奇数行に対して偶数行が水平方向に1.5画素ずれている。このため、例えば、奇偶2ラインずつを同じカラー映像信号を用いてペアライン駆動する場合は、図2(b)～(e)に示すように、サンプリングクロックCKa、CKbを使って、奇数行のサンプリングデータ(t1、t3、t5)と、そのサンプリングタイミングを1.5画素分ずらした偶数行のサンプリングデータ(t4、t6、t8)とを使って液晶を駆動するようにする。これにより、奇数行と偶数行の水平位置がずれていても、各画素位置に応じた画像が表示されるので、水平解像度を向上させることができる。

【0046】コントローラ29は、液晶表示パネル22を表示制御する場合の全体のタイミングをコントロールするものであり、上記した同期回路28からの垂直及び水平同期信号φV、φHが供給され、これらの同期信号φV、φHに同期してA/D変換器a33及びA/D変換器b34にそれぞれ2系統のサンプリングクロックCKa(t1、t3、t5)とCKb(t4、t6、t8)を供給する。これらのサンプリングクロックCKa、CKbは、上記したように、水平走査線の奇数行と偶数行の各画素位置でサンプリングする2系統のクロック信号からなり、ここでは、例えばペアライン駆動する場合に、水平走査線の奇数行のサンプリングクロックCKaに対して、1.5画素分タイミングをずらした偶数行のサンプリングクロックCKbをコントローラ29で作成する。

【0047】ラインメモリa35、ラインメモリb36は、A/D変換器a33及びA/D変換器b34から読み出される図2(d)及び(e)に示すサンプリングデータ(Dataa、Datab)をそれぞれ記憶するものである。ラインメモリa35あるいはラインメモリb36に

記憶される各データは、コントローラ 29 からの読出制御信号 R により、倍速で読み出すことにより、倍速ノンインターレス走査を行うことができる。

【0048】マルチプレクサ 37 は、ラインメモリ a 35 から倍速で読み出して入力端子 A に入力されるデータと、ラインメモリ b 36 から倍速で読み出して入力端子 B に入力されるデータとを適宜切り換えて、出力端子 Y から信号側駆動回路 23 に出力するものである。マルチプレクサ 37 におけるデータの切り換えは、コントローラ 29 から出力される Select 信号により、水平走査線の走査タイミングに合わせて行われる。この Select 信号は、インターレス信号に対応するように、1 フィールド毎に反転させるとともに、 $1/2H$ (水平走査期間) 毎に反転させる。

【0049】次に、作用を説明する。まず、図 1 に示すように、アンテナ 25 及びチューナ 26 を介して映像受信回路 27 で受信したカラー映像信号は、同期回路 28 により垂直同期信号 ϕV と水平同期信号 ϕH とが取り出されてコントローラ 28 に入力される。

【0050】一方、カラー映像信号は、クロマ回路 30 で R、G、B の各色映像信号に分離され、マルチプレクサ a 31 とマルチプレクサ b 32 で選択された各ビデオ信号 V が A/D 変換器 a 33 及び A/D 変換器 b 34 にそれぞれ入力される。

【0051】A/D 変換器 a 33 及び A/D 変換器 b 34 では、コントローラ 29 が上記同期信号 ϕV 、 ϕH に同期して出力するサンプリングクロック CKa、CKb により、所定のタイミングでサンプリングを行って、アナログデータをデジタルデータに変換する。

【0052】そこで、液晶表示パネルを大画面化した、投影型の液晶表示装置とする場合は、インターレス信号を従来のようにハーフライン駆動したのでは垂直解像度の劣化が目立ってしまう。このため、インターレス信号をフルライン駆動すれば垂直解像度を向上させることができるが、フルライン駆動するには何らかの走査線補間を行う必要がある。そこで、ペアライン駆動で走査線補間を行う場合、従来は同一タイミングでサンプリングした表示信号を使って奇偶 2 ラインを走査していたため、デルタ配列された液晶表示パネルの場合、奇数行と偶数行の水平方向の画素のずれがそのまま絵のずれとなって表れ、水平解像度が劣化していた。

【0053】これに対して、第 1 実施例におけるデルタ配置された画素をペアライン駆動する場合は、色映像信号を走査線の奇数行と偶数行の画素位置のずれに応じたタイミングでサンプリングを行った表示信号に基づいて液晶を駆動することにより、水平解像度の劣化を防止している。

【0054】具体的には、図 1 に示すように、上記した A/D 変換器 a 33 と A/D 変換器 b 34 とを使い、ペアライン駆動する 2 つの水平走査線の画素のずれ (こ

では、図 3、図 4 に示すように、奇数行と偶数行とが 1.5 画素ずれている) に応じたタイミングでサンプリングを行うことにより、各画素位置に対応した表示信号が得られる。

【0055】図 3 は、第 1 実施例の液晶表示パネルの画素配列と奇数フィールドで表示されるデータを示す図であり、図 4 は、第 1 実施例の液晶表示パネルの画素配列と偶数フィールドで表示されるデータを示す図である。ここでは、奇数と偶数の各フィールド毎にペアライン駆動する走査線の組合せを変えて駆動している。

【0056】そこで、図 3 に示す奇数フィールドにおけるペアライン駆動は、水平走査線の X3 と X4、及び X5 と X6 とを同じビデオ信号 V を使って駆動するが、デルタ配列により奇数行と偶数行の画素位置のずれに応じたタイミングでサンプリングを行った表示信号を使って駆動するので、水平走査線の奇数行と偶数行とで絵のずれが生じるのを防止することができる。

【0057】より詳しくは、図 3 に示すように、水平走査線 X3 では上記サンプリングクロック CKa でサンプリングすることにより、画素 R31 が 1 列目、画素 B33 が 3 列目の表示信号で駆動され、X4 の画素 R41 が 2.5 列目、画素 B43 が 4.5 列目の表示信号で駆動される。このように、各画素は、その画素位置に応じた表示信号で駆動されるので、水平解像度が向上する。

【0058】また、図 3 における水平走査線 X5 と X6 の場合も上記と同様に、水平走査線 X5 に対して X6 のサンプリングタイミングを 1.5 画素分ずらしてサンプリングした表示信号を使って液晶を駆動している。

【0059】これに対して、従来の奇数フィールドにおけるペアライン駆動では、水平走査線 X3 の画素 R31 と X4 の画素 R41 とが同じ 1 列目の表示信号で駆動されるとともに、X3 の画素 B33 の X4 の画素 B43 とが同じ 3 列目の表示信号で駆動されるので、奇数行 (X3、X5) と偶数行 (X4、X6) とで絵がずれて水平解像度が低下していた。

【0060】また、図 4 に示す偶数フィールドにおけるペアライン駆動も、図 3 の奇数フィールドの場合と同様であるが、ペアライン駆動する水平走査線の組合せが変わって X4 と X5 とが同じビデオ信号 V で駆動される。すなわち、図 4 に示すように、水平走査線 X4 では上記サンプリングクロック CKb でサンプリングすることにより、画素 R41 が 2.5 列目、画素 B43 が 4.5 列目の表示信号で駆動され、サンプリングクロック CKa でサンプリングすることにより、X5 の画素 R51 が 1 列目、画素 B53 が 3 列目の表示信号で駆動される。このように、各画素は、その画素位置に応じた表示信号で駆動されるので、水平解像度が向上する。

【0061】これに対して、従来の偶数フィールドにおけるペアライン駆動では、水平走査線 X4 の画素 R41 と X5 の画素 R51 とが同じ 1 列目の表示信号で駆動さ

11

れるとともに、X4の画素B43のX5の画素B53とが同じ3列目の表示信号で駆動されるため、偶数行(X4)と奇数行(X5)とで絵がずれて水平解像度が低下していた。

【0062】再び図1に戻り、上記したように、A/D変換器a33とA/D変換器b34では、ペアライン駆動する水平走査線の奇数行と偶数行の各画素位置に応じて映像信号をそれぞれのタイミングでサンプリングを行われ、そのサンプリングデータがラインメモリa35とラインメモリb36とに記憶される。そして、このラインメモリ35、36に保持されたデータは、倍速で読み出されてマルチプレクサ37に出力される。

【0063】マルチプレクサ37では、液晶表示パネル22の走査タイミングに合わせてペアライン駆動する奇数行と偶数行のラインデータを適宜切り換えながら出力し、その出力データを出力端子Yから信号側駆動回路23に出力する。ここでは、Select信号が“0”の場合は、入力端子Aからの入力データを選択して出力し、“1”の場合は、入力端子Bからの入力データを選択して出力する。

【0064】そして、マルチプレクサ37から表示信号が入力される信号側駆動回路23は、液晶表示パネル22の信号電極に対して走査タイミングに合わせてペアライン駆動を行う。

【0065】図5は、第1実施例の液晶表示パネルの駆動波形を示す図であり、その(a)は奇数フィールドにおける駆動波形図であり、(b)は偶数フィールドにおける駆動波形図である。

【0066】そして、図5に示されるように、第1実施例では、各フィールド(奇数/偶数)毎にペアライン駆動する水平走査線の組合せを変えるとともに、ペアライン駆動する水平走査線の奇数行と偶数行とを、水平方向の画素位置に応じたタイミングでサンプリングされた表示信号に基づき、デルタ画素配列を考慮した倍速ノンインターレース走査により走査される。

【0067】このように、第1実施例に係る液晶表示装置は、入力されるビデオ信号をペアライン駆動する際に、各画素位置に対応したタイミングでサンプリングを行い、この表示信号を使って信号側駆動回路を駆動するものである。このため、液晶表示パネルの水平走査線の奇数行と偶数行の各画素位置に応じた表示信号で駆動するので、デルタ配列により奇数行と偶数行の水平方向の画素位置がずれていても、水平解像度が劣化するのを防止することができる。

【0068】次に、図6は、第2実施例に係る液晶表示装置のブロック図である。図6における液晶表示装置41は、A/D変換器42、43、44、ラインメモリ45、46、47、D/A変換器48、49、50、正・反転アンプ51、52、53、信号側駆動部54、液晶表示パネル55、走査側駆動部56、サンプリングタイ

12

ミング調整回路57、コントローラ58等から構成されている。

【0069】A/D変換器42、43、44は、入力されるアナログ映像信号を図示しないクロマ回路でR、G、Bに分離し、各R、G、Bのアナログデータをデジタルデータに変換するもので、コントローラ58からのA/Dクロック制御信号で変換動作が制御される。

【0070】ラインメモリ45、46、47は、A/D変換器42、43、44でデジタル化されたR、G、Bデータをそれぞれ個別に格納するメモリであって、コントローラ58からのメモリ制御信号によりデジタルデータの書き込み動作と読み出し動作が制御される。ここでは、書き込まれたデータを整数倍、例えば、2倍の速度で読み出すことにより、ペアライン駆動用のデータを取り出すことができる。

【0071】D/A変換器48、49、50は、ラインメモリ45、46、47からそれぞれ倍速で読み出されたデジタルデータをアナログデータに変換するもので、コントローラ58からのD/Aクロック制御信号で変換動作が制御される。

【0072】正・反転アンプ51、52、53は、R、G、Bのアナログデータ波形を所定フィールド毎に正転と反転を交互に切り換えて交流駆動させ、液晶の劣化を防止するもので、コントローラ58からの正・反転切換信号により切換動作が行われる。

【0073】信号側駆動部54は、正・反転アンプ51、52、53からそれぞれ出力されるR、G、B信号に基づいて液晶表示パネル55の信号線に対して表示信号を供給するものである。ここでは、液晶表示パネル55上のR、G、B画素がそれぞれデルタ状に配列されており、ペアライン駆動する隣接した2本の水平走査線の位置ずれに応じたタイミングでサンプリングが行われ、そのサンプリングデータを液晶駆動電圧として所定画素の液晶容量に書き込まれる。

【0074】液晶表示パネル55は、スイッチング素子としてのTF Tをスイッチングさせる複数の走査線と、この走査線に対して直交方向に複数の信号線が設けられ、その各交点にはスイッチング動作を行うTF Tと、このTF Tのスイッチング動作に応じて信号線から供給される表示信号を書き込む画素電極とで構成される。この画素電極は、液晶を介して対向配置された共通電極との間で、各画素毎に液晶容量を構成している。そして、上下方向に隣接する各画素電極は、走査線方向に対してそれぞれ1.5画素ずつずらすことにより、R、G、B、の画素をデルタ(Δ)配列している。

【0075】走査側駆動部56は、液晶表示パネル55の各信号線と接続されており、ペアライン駆動する場合は、所定のタイミングで複数の走査線に走査信号を供給して選択状態とし、信号線から表示信号を液晶容量に書き込むものである。具体的には、本第2実施例では、ペ

13

アライン駆動する場合、ビデオ入力信号の1H（1水平走査期間）の表示信号をA/D変換器42～48でA/D変換し、ラインメモリ45～47に一旦格納した後、2倍の速度で読み出してD/A変換器48～50でD/A変換した表示信号を使う。このため、1H期間中に同じ表示信号を使って異なったタイミングで2度走査するものである。特に、本実施例の画素配置はデルタ配置されていることから、隣接する走査線の画素間で水平方向に1.5画素ずれており、この1.5画素分の位置ずれに応じてサンプリング開始タイミングを1回おきに1.5画素分遅らせて映像信号をサンプリングし、この信号を1H期間中に2度に分けて走査して表示信号を書き込むものである。

【0076】サンプリングタイミング調整回路57は、ここでは同じ映像信号を用いて走査線を2本ずつ走査する、いわゆる、ベアライン駆動する際に画素がデルタ配列されていることから、隣接する画素間で水平方向に1.5画素ずれていることから、入力される映像信号をサンプリングする際のサンプリングタイミングを調整するものである。

【0077】コントローラ58は、上記各部に所定の間隔で発生するクロックパルスCKや各種制御信号、切換信号、あるいはタイミング信号等を送って液晶表示装置全体の動作を制御するものである。

【0078】図7は、図6の信号側駆動部54とサンプリングタイミング調整回路57とその周辺回路を示す図であり、図8及び図9は、各部の信号のタイミングを示すタイミングチャートである。

【0079】以下、図7に示す具体的な回路説明とその動作を図8及び図9を使って説明する。図7に示す液晶表示パネル55は、図11で示した従来の液晶表示パネルの信号線と走査線の配線及び画素電極のデルタ配置等は全く同じものであり、この液晶表示パネル55を使ってベアライン駆動させる。このように、本第2実施例の信号側駆動部54では、従来と同じ構成の液晶表示パネル55を使ってベアライン駆動する場合、隣接した走査線の水平方向の画素の位置ずれに応じたタイミングで同一の映像信号が別々にサンプリングされる。

【0080】このため、図8に示すビデオ信号は、図6のA/D変換器42～44に入力される前のビデオ信号波形であり、このビデオ信号をA/D変換して1H分の信号をR、G、Bのそれぞれのラインメモリ45～47に書き込んで、次の1Hで倍速で2回読み出した信号が、図8のD/A出力信号波形である。このD/A出力信号に対して、1コモンおきに1.5画素分遅れたSRT信号が図7の信号側駆動部54のフリップフロップ61、62、63、……にそれぞれ入力されるとともに、クロックパルスが入力される。これにより、図7のフリップフロップ61、62、63、……からアナログスイッチを開くスイッチ信号SS1、SS2、SS3、……

14

がそれぞれ所定のタイミングで出力され、各R、G、Bの入力映像信号をサンプリングするものである（図9（b）、（c）参照）。

【0081】このサンプリングされた各画素毎の映像信号は、各信号線X1、X2、X3……に対応してドライバ回路81、82、83……が設けられており、それぞれのサンプリングデータを一時的に保持するとともに、信号線を介して液晶表示パネルの各画素の液晶容量にデータを書き込まれる。このドライバ回路81、82、83……には、図7に示すように、それぞれCLR信号とOE信号とが入力される。

【0082】このCLR信号とは、液晶表示パネル55の信号線に残留している1H前の表示信号をクリアして消去する信号である。また、OE信号とは、上記CLR信号で表示信号を消去した後に、新たな表示信号を液晶表示パネルの液晶容量に書き込むための書き込み信号である。

【0083】図7に示すように、サンプリングタイミング調整回路57から出力されるSRT信号は、信号側駆動部54に入力されてから1コモン分の表示信号、例えば、図8に示す表示信号1H1のサンプリングを行った後、例えば、そのデータを順次ドライバ81、82、83……に蓄積した後、図8の走査信号Y1に示すように、次の1コモン期間で所定の水平走査線の各画素に表示信号が書き込まれる。

【0084】上記した信号側駆動部54に入力されるSRT信号とクロックパルスCKを作成するサンプリングタイミング調整回路57の回路構成は、図7に示してあり、その各部の信号タイミングは図9に示されている。

【0085】図7に示すように、上記したSRT信号とクロックパルスCKを作成する回路は、それぞれ2つのアンドゲート92、93、及びアンドゲート95、96を備え、それらアンドゲート92、93の出力がオアゲート91の入力端子に接続され、そのオアゲート91から出力される信号がSRT信号として信号側駆動部54のフリップフロップに出力されている。また、アンドゲート95、96の出力端子は、オアゲート94の入力端子に接続され、そのオアゲート94から出力される信号がCK信号として信号側駆動部54のクロックパルスとしてフリップフロップに出力される。

【0086】そして、上記したアンドゲート93、96の一方の入力端子には、図8に示す選択信号Selが入力されるとともに、その選択信号Selをインバータ100で反転させた反転選択信号は、アンドゲート92、95の一方の入力端子に入力される。

【0087】また、アンドゲート96の他方の入力端子には、図9（a）に示すクロックパルスCK0（＝CK1）が入力されるとともに、そのクロックパルスCK0をインバータ101で反転した図9（a）に示す反転クロックパルスCK2が上記アンドゲート95の他方の入

15

力端子に入力される。さらに、上記図 9 (a) に示すクロックパルス CK0 (=CK1) は、フリップフロップ 102、103 に入力されるとともに、そのクロックパルス CK0 を反転した反転クロックパルス CK2 がフリップフロップ 104 に入力される。

【0088】そして、上記したフリップフロップ 102 の出力は、スタート信号 SRT1 として、上記したアンドゲート 93 の他方の入力端子に入力され、さらに、フリップフロップ 103 及び 104 を経て出力されるスタート信号 SRT2 は、上記したアンドゲート 92 の他方の入力端子に入力される。

【0089】このようにして、図 8 に示す選択信号 Sel と図 9 (a) に示すクロックパルス CK0 (=CK1) 及びスタート信号 SRT0 に基づいて、上記したオアゲート 91 からは、図 8 に示すスタート信号 SRT が出力されるとともに、オアゲート 94 からは、所定のクロックパルス CK が出力されて信号側駆動部 54 のフリップフロップ 61、62、63、……に入力されて、アナログスイッチ 71、72、73 を開くスイッチ信号 SS1、SS2、SS3、……がそれぞれのタイミングで出力され、各 R、G、B の入力映像信号が所定のタイミングでサンプリングされる (図 9 (b)、(c) 参照)。

【0090】図 7 において、例えば、奇数の走査線 Y1、Y3、……に接続された画素の TFT のゲートを開いて各画素の液晶容量に対して信号線 X1、X2、X3、X4、……、Xn から表示信号を与える時の SRT 信号は、図 9 (a) の SRT1 が選択され、偶数の走査線 Y2、Y4、……に接続された画素の TFT のゲートを開いて各画素の液晶容量に対して信号線 X1、X2、X3、X4、……、Xn から表示信号を与える時の SRT 信号は、図 9 (a) の SRT2 が選択される。

【0091】そして、例えば、図 9 (b) は、走査線 Y1 に接続された画素に表示信号を供給する時のデータの書き込みタイミングを示すもので、図 9 (c) は、走査線 Y2 に接続された画素に表示信号を供給する時のデータの書き込みタイミングを示している。図 9 から分かるように、ベアライン駆動を行う隣接した走査線 Y1 と Y2 の画素がデルタ配置されていることにより、水平方向に 1.5 画素ずれているが、図 9 (a) の B11 の画素に与えられる Blue の画素データと、図 9 (b) の B21 の画素に与えられる Blue の画素データとが 1.5 画素分ずれてサンプリングされており、これが図 8 の走査線 Y1 と Y2 のように 1/2 H の期間にそれぞれ別々に走査されて液晶が駆動される。

【0092】これにより、本第 2 実施例の液晶表示装置は、デルタ配列された画素をベアライン駆動する場合であっても、各走査線の画素の位置ずれに応じてサンプリングした映像信号を用いて液晶駆動することができるため、画像のエッジ部分に凹凸が出にくく、高解像度で高

16

品位な液晶表示を行うことができる。

【0093】また、本第 2 実施例の液晶表示装置は、上記のように構成したとしても、液晶のドライバ回路である信号側駆動部以外に簡単な周辺回路を付加するだけで実現可能であり、液晶表示パネルに搭載するドライバ回路としても、小型化できる利点がある。

【0094】なお、上記実施例では、A/D 変換器 a33、A/D 変換器 b34 の 2 個を 2 相に用いる構成としたが、1 個の A/D 変換器を使って 2 相分を倍速でサンプリングして、ラインメモリに書き込み、これを読み出してから 2 系統に分けるように構成することもできる。

【0095】また、映像信号をベアライン駆動する奇数行と偶数行の画素の位置ずれ (上記実施例では、1.5 画素分) に対応した表示信号を作成する際に、上記実施例の構成の他に、アナログディレイラインを使って映像信号を所定画素分だけタイミングを遅らせることにより作成することもできる。

【0096】さらに、上記実施例では、液晶表示パネルの信号側駆動回路として、デジタルデータを入力して液晶を駆動するデジタル入力ドライバを用いて実施したが、これに限定されず、アナログデータを入力して液晶を駆動するアナログ入力ドライバを用いることもできる。例えば、アナログ入力ドライバによる信号側駆動回路の手前で、D/A 変換器により再度デジタルデータをアナログデータに戻してから入力するだけで実施することができる。

【0097】

【発明の効果】本発明によれば、ベアライン駆動する複数の走査線の各画素位置に対応した表示信号を作成して信号側駆動回路を駆動するようにしたので、画素がデルタ状に配列された液晶表示パネルをベアライン駆動により走査線補間しながらフルライン表示を行っても、各画素位置に合った画像が表示されるので、水平解像度の劣化を防止することができる。このため、液晶表示パネルを大画面化したり、投影型液晶表示パネルとした場合であっても、垂直解像度と共に水平解像度の良好な画質が得られるようになった。

【0098】また、本発明では、A/D 変換した映像信号を一旦ラインメモリに書き込んで倍速で読み出し、D/A 変換したデータを使ってベアライン駆動する各走査線毎の画素位置に応じたサンプリングを行って、各走査線毎に走査駆動するようにしているので、水平解像度の劣化を防止することができる。特に、簡単な構成を付加するだけで、画素がデルタ状に配列されたアクティブマトリクス型の液晶表示装置をベアライン駆動する際に、各画素位置に応じた画像が表示できることから、高解像度かつ高品位の画像を小型の液晶表示装置で実現することができる。

【図面の簡単な説明】

【図 1】第 1 実施例に係る液晶表示装置の液晶表示パネ

17

ルとその周辺回路の構成を示す図である。

【図 2】 A/D変換器に出力するサンプリングクロックのタイミングとそのクロックパルス及びサンプリングデータを示すタイミングチャートである。

【図 3】 第 1 実施例の液晶表示パネルの画素配列と奇数フィールドで表示されるデータを示す図である。

【図 4】 第 1 実施例の液晶表示パネルの画素配列と偶数フィールドで表示されるデータを示す図である。

【図 5】 第 1 実施例のペアライン駆動を行う駆動波形を示す図である。

【図 6】 第 2 実施例に係る液晶表示装置のブロック図である。

【図 7】 図 6 の信号側駆動部とその周辺回路を示す図である。

【図 8】 各部の信号のタイミングを示すタイミングチャートである。

【図 9】 各部の信号のタイミングを示すタイミングチャートである。

【図 10】 従来の液晶表示パネルの斜視図である。

【図 11】 図 10 の液晶表示パネルの画素の配列を示す平面図である。

【図 12】 従来の液晶表示パネルを 1 走査線ずつ走査駆動して表示する場合の走査駆動信号とコモン電圧及びビデオ信号のタイミングチャートである。

【図 13】 従来の液晶表示パネルを 2 走査線ずつ走査駆動してペアライン表示駆動する場合の走査信号とコモン電圧及びビデオ信号のタイミングチャートである。

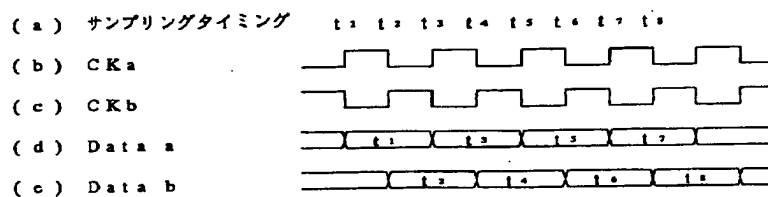
【図 14】 従来の液晶表示パネルの各画素の階調データを示す図である。

【図 15】 従来の液晶表示パネルの先頭の走査線 Y 1、Y 2、Y 3、……、Y m から 2 本ずつペアライン駆動する奇数フィールドでの各画素の輝度データを示す図である。

【図 16】 従来の液晶表示パネルの 2 本目の走査線 Y 1、Y 2、Y 3、……、Y m から 2 本ずつペアライン駆動する偶数フィールドでの各画素の輝度データを示す図である。

【図 17】 図 15 と図 16 のペアライン駆動を行った場 *

【図 2】



18

* 合の各画素の平均の輝度データを示す図である。

【図 18】 図 11 の液晶表示パネルでペアライン駆動した場合の表示状態を示す図である。

【図 19】 従来のカラー液晶 TV のストライプ画素配列を示す図である。

【図 20】 従来のカラー液晶 TV のデルタ画素配列を示す図である。

【図 21】 従来のペアライン駆動を行う駆動波形を示す図である。

10 【符号の説明】

- 21 液晶表示装置
- 22 液晶表示パネル
- 23 信号側駆動回路
- 24 走査側駆動回路
- 25 アンテナ
- 26 チューナ
- 27 映像受信回路
- 28 同期回路
- 29 コントローラ

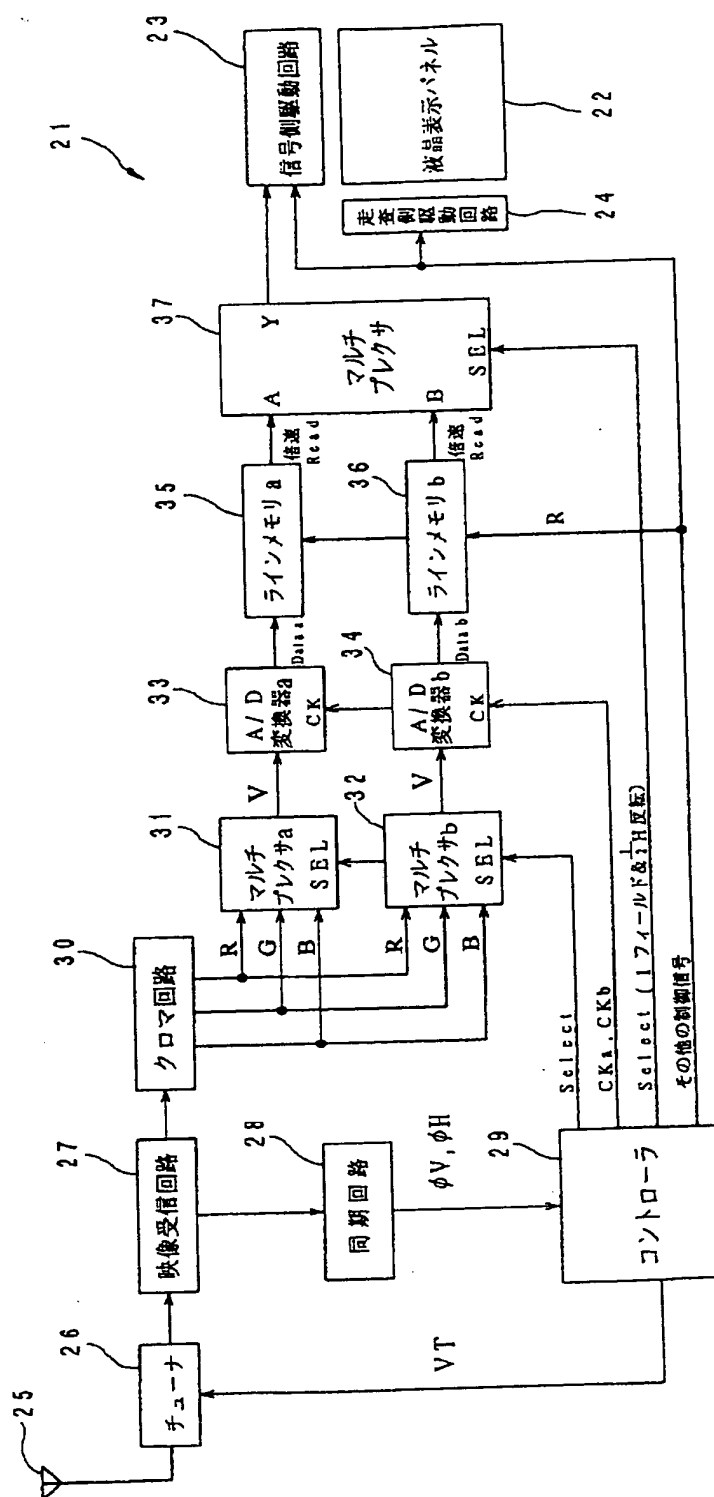
20

- 30 クロマ回路
- 31 マルチプレクサ a
- 32 マルチプレクサ b
- 33 A/D変換器 a
- 34 A/D変換器 b
- 35 ラインメモリ a
- 36 ラインメモリ b
- 37 マルチプレクサ
- 41 液晶表示装置
- 42、43、44 A/D変換器
- 45、46、47 ラインメモリ
- 48、49、50 D/A変換器
- 51、52、53 正・反転アンプ
- 54 信号側駆動部
- 55 液晶表示パネル
- 56 走査側駆動部
- 57 サンプリングタイミング調整回路
- 58 コントローラ

【図 14】

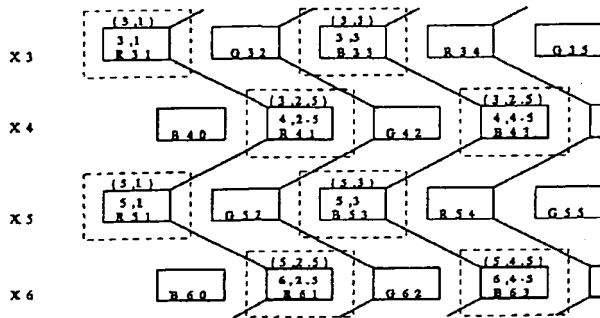
	X 1	X 2	X 3	X 4	...
Y 1	1	1	1	1	...
Y 2	2	2	2	2	...
Y 3	3	3	3	3	...
Y 4	4	4	4	4	...
Y 5	5	5	5	5	...
Y 6	6	6	6	6	...

【図1】



【図 3】

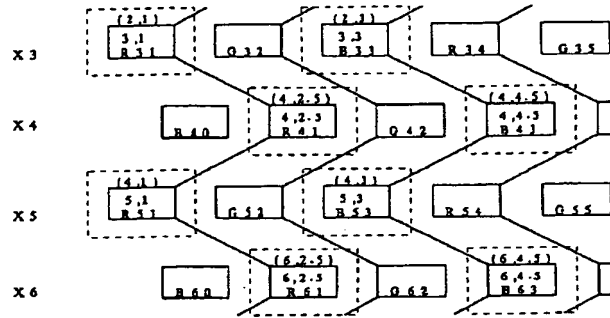
奇数フィールド



※ (n, m) …… 駆動により表示されるデータ (n 行 m 列のデータ)
 (i, j) …… 本来表示されるべきデータ (i 行 j 列のデータ)
 R_{ij} …… カラー画素 (R, G, B) の画素番号

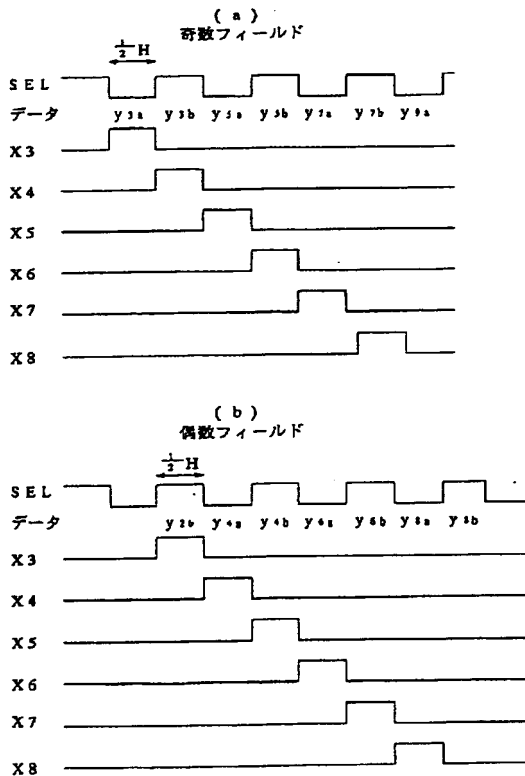
【図 4】

偶数フィールド

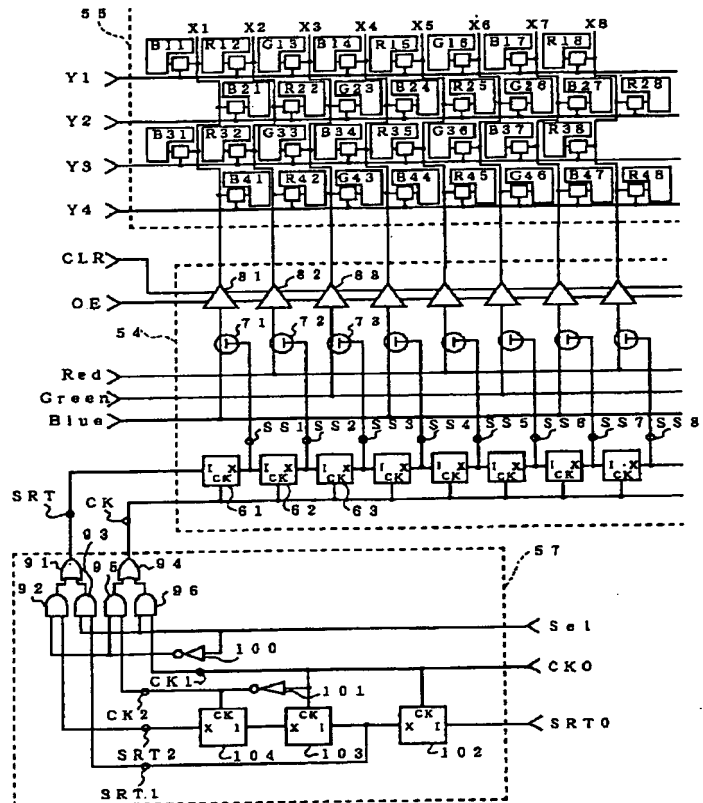


※ (n, m) …… 駆動により表示されるデータ (n 行 m 列のデータ)
 (i, j) …… 本来表示されるべきデータ (i 行 j 列のデータ)
 R_{ij} …… カラー画素 (R, G, B) の画素番号

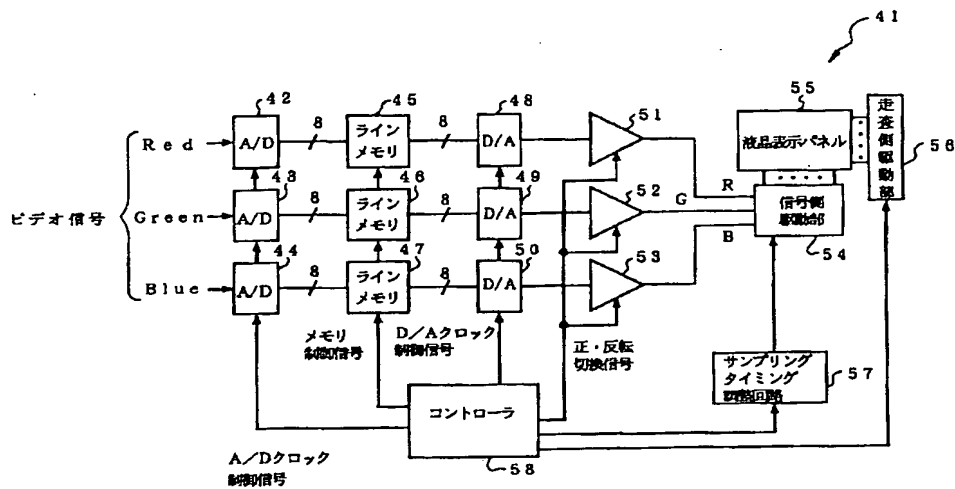
【図 5】



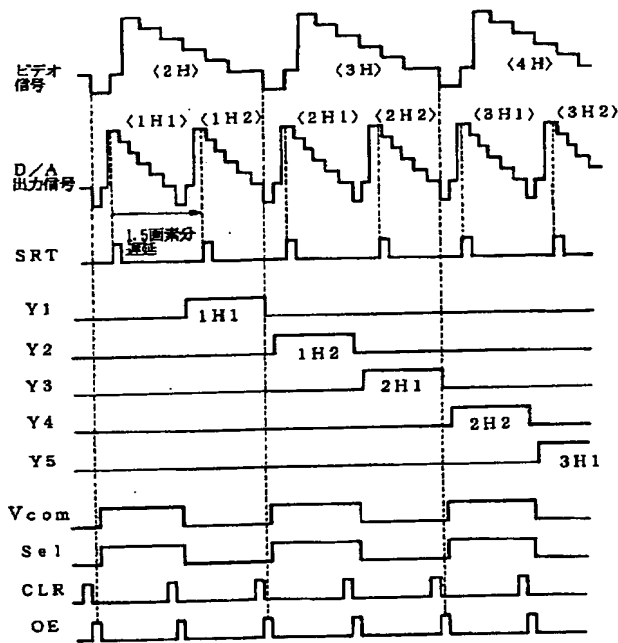
【図 7】



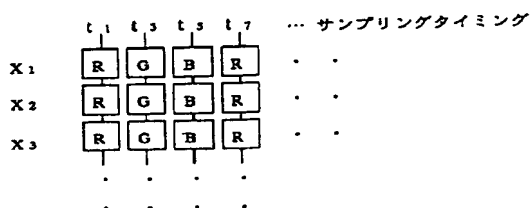
【図 6】



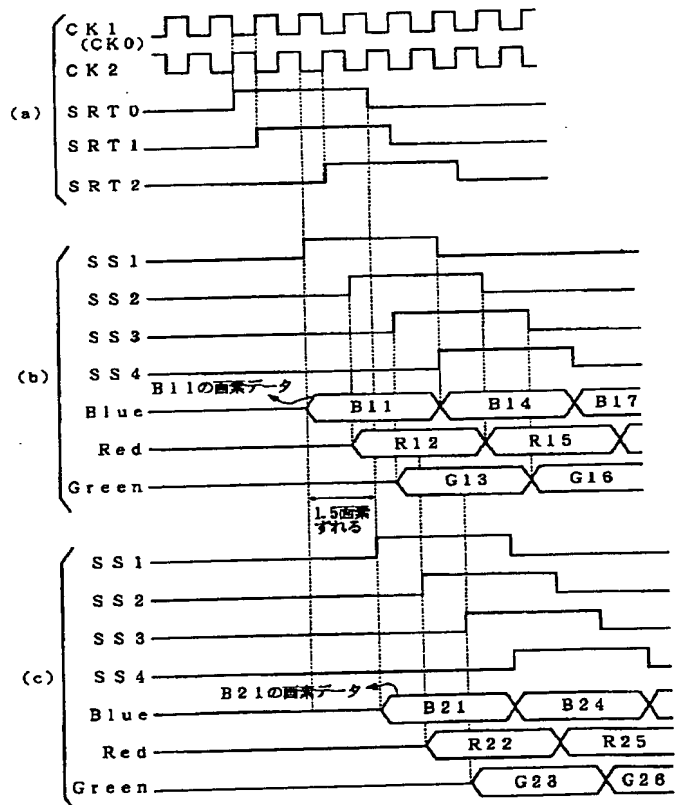
【図 8】



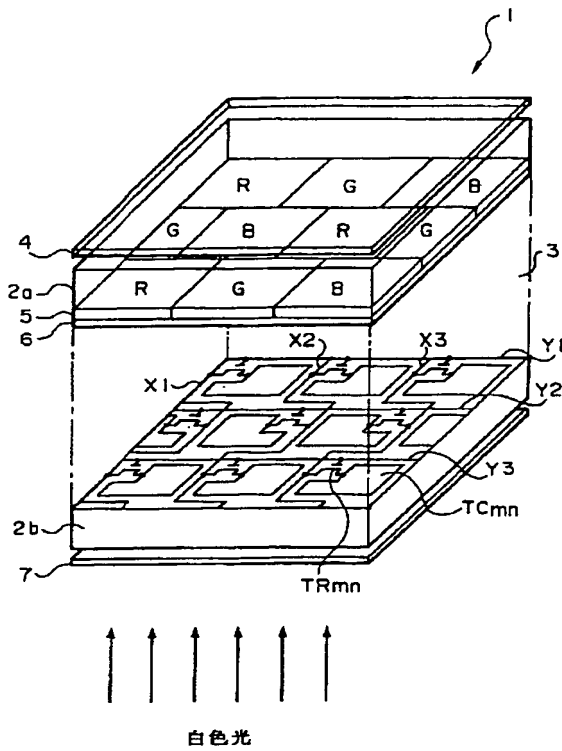
【図 19】



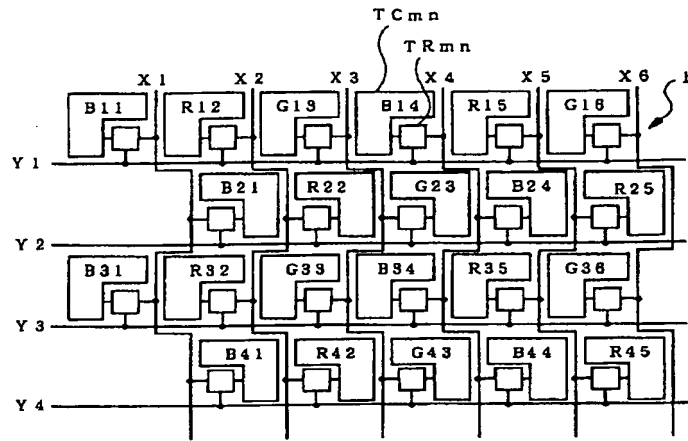
【図 9】



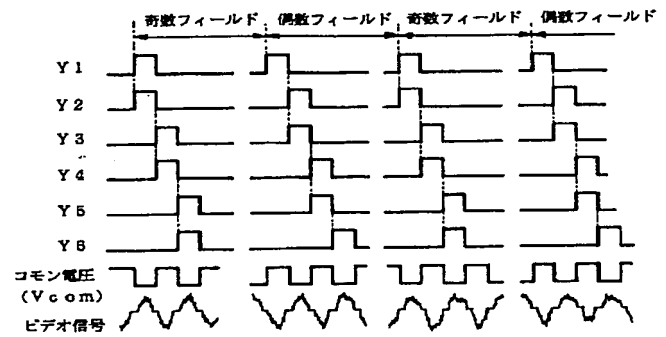
【図10】



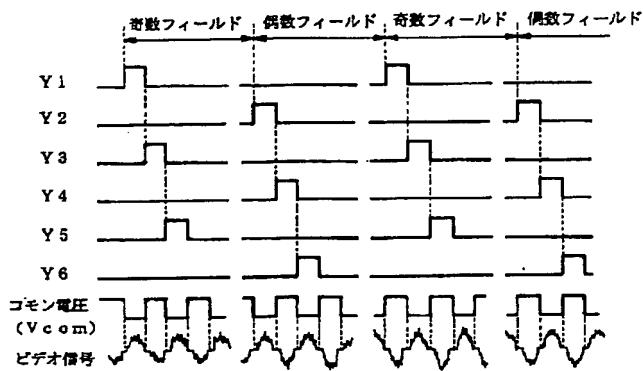
【図11】



【図13】



【図12】



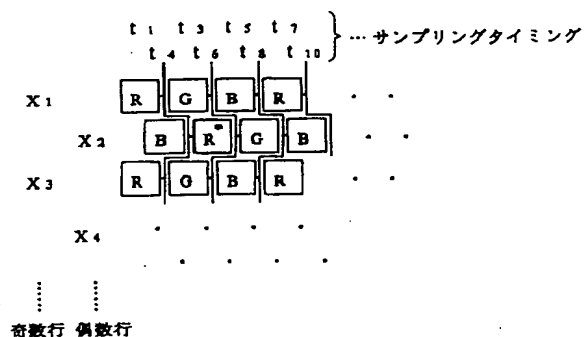
【図15】

	X 1	X 2	X 3	X 4	...
Y 1	1/2	1/2	1/2	1/2	...
Y 2	1/2	1/2	1/2	1/2	...
Y 3	3/2	3/2	3/2	3/2	...
Y 4	3/2	3/2	3/2	3/2	...
Y 5	3/2	3/2	3/2	3/2	...
Y 6	3/2	3/2	3/2	3/2	...
	

【图 17】

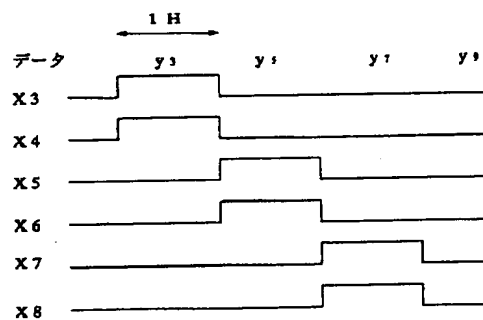
	X 1	X 2	X 3	X 4	...
Y 1	?		?	?	...
Y 2	$1/1+2/1=3/1$		$3/1$	$3/2$	$3/2$...
Y 3	$3/1+2/1=5/1$		$5/2$	$5/2$	$5/2$...
Y 4	$3/1+4/1=7/1$		$7/2$	$7/2$	$7/2$...
Y 5	$3/2+4/1=7/1$		$7/2$	$7/1$	$7/1$...
Y 6	$3/2+5/1=8/1$		$8/2$	$8/2$	$8/2$...

【図 20】

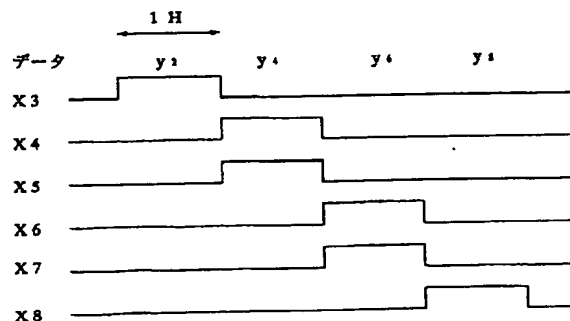


【図 2 1】

(Ⅲ)
奇数フィールド



(b)
偶数フィールド



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.